

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-270779

(43) 公開日 平成9年(1997)10月14日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L	7/00		H 0 4 L	G
	7/04			Z

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平8-79077

(22) 出願日 平成8年(1996)4月1日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 小倉 英之

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 弁理士 大菅 義之

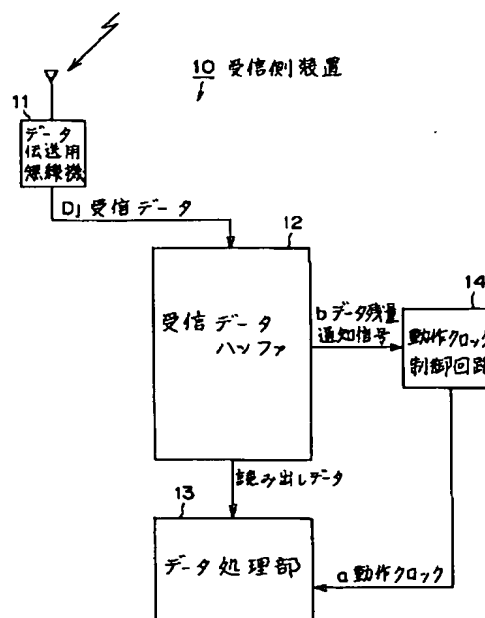
(54) 【発明の名称】 データ同期方式

(57) 【要約】

【課題】 データ同期クロックを、送信側装置と受信側装置間で伝送せずに、送・受信側装置間で動作クロックの同期を取れるようにする。

【解決手段】 受信データバッファ12は、自身のデータ残量をデータ残量通知信号bによって動作クロック制御回路14に通知する。動作クロック制御回路14は、該データ残量通知信号bから受信データバッファ12内のデータの残量の変化の推移の様子から、自身がデータ処理部13に出力する動作クロックaの周波数を制御して、送信側装置と受信側装置の動作クロックが一致するように制御する。

本発明の第1実施例のデータ伝送装置の  
受信側装置のシステム構成を示すブロック図



## 【特許請求の範囲】

【請求項1】 2つの装置が、データ同期クロックを伝送できない伝送路経由で、データ通信を行うシステムのデータ同期方式において、

受信側装置は、

送信側装置から送信されてくる受信データを格納する受信データ格納手段と、

該受信データ格納手段に格納されているデータを、外部から加わる動作クロックに同期して読み出すデータ読み出し手段と、

前記受信データ格納手段に格納されているデータの残量の時間的推移を基に、該データ読み出し手段に加える前記動作クロックの周波数を制御する動作クロック制御手段を備え、

該動作クロック制御手段は、上記受信側装置と上記送信側装置の双方の動作クロックが一致するように自身が生成する動作クロックの周波数を制御すること、を特徴とするデータ同期方式。

【請求項2】 2つの装置が、データ同期クロックを伝送できない伝送路経由で、データ通信を行うシステムのデータ同期方式において、

送信側装置は、

動作クロックを生成する送信動作クロック生成手段と、

該送信動作クロック生成手段から入力される動作クロックを基に送信開始タイミング信号を生成する送信開始タイミング生成手段と、

送信データを格納し、該送信開始タイミング生成手段から送信開始タイミング信号が加わる毎に、格納している送信データを受信側装置に送信する送信データ格納手段を備え、

受信側装置は、

送信側装置から送信されてくるデータを受信・格納し、そのデータの受信を検出する毎に、データ受信タイミング信号を出力する受信データ格納手段と、

動作クロックを生成し、その動作クロックの周波数を、該受信データ格納手段から入力するデータ受信タイミング信号の入力間隔に応じて制御する受信動作クロック生成手段と、

該受信動作クロック生成手段から加わる動作クロックに同期して、前記受信データ格納手段からデータを読み出すデータ処理手段を備え、

前記受信動作クロック生成手段は、送信側装置の動作クロックと受信側装置の動作クロックが一致するように、自身が生成する動作クロックの周波数を制御すること、を特徴とするデータ同期方式。

【請求項3】 2つの装置が、データ同期クロックを伝送できない伝送路経由で、データ通信を行うシステムのデータ同期方式において、

送信側装置は、

動作クロックを生成する送信動作クロック生成手段と、

該送信動作クロック生成手段から入力する動作クロックを基にタイミングデータ挿入信号を生成するタイミングデータ挿入信号生成手段と、

該タイミングデータ挿入信号生成手段からタイミングデータ挿入信号が加わる毎に、送信データにタイミングデータを挿入して受信側装置に送信するタイミングデータ挿入手段を備え、

受信側装置は、

送信側装置から送信されてくるデータ中のタイミングデータを検出し、該検出毎に抽出タイミング信号を出力すると共に、その受信するデータからタイミングデータを除去するタイミングデータ検出／除去手段と、

該タイミングデータ検出／除去手段から出力されるタイミングデータの除去された受信データを格納する受信データ格納手段と、

動作クロックを生成し、上記タイミングデータ検出／除去手段から入力される抽出タイミング信号の入力間隔に応じて自身の生成する動作クロックの周波数を制御する受信動作クロック生成手段と、

10 該受信動作クロック生成手段から加わる動作クロックに同期して前記受信データ格納手段からデータを読み出すデータ処理手段を備え、

前記受信動作クロック生成手段は、送信側装置の動作クロックと受信側装置の動作クロックが一致するように、自身が生成する動作クロックの周波数を制御すること、を特徴とするデータ同期方式。

【請求項4】 2つの装置が、データ同期クロックを伝送できない伝送路経由で、データ通信を行うシステムのデータ同期方式において、

30 受信側装置は、

送信側装置から送信されてくるデータを格納する格納データ残量を計量可能な受信データ格納手段を備え、この受信データ格納手段に対するデータの入力速度と、この受信データ格納手段からのデータの読み出し速度の差によって増減する上記受信データ格納手段のデータ残量を監視し、そのデータ残量の増減の様子を基に、送信側装置の動作クロックと受信側装置の動作クロックの速度の差を判断して、受信側装置の動作クロックの周波数を制御することにより、送信側装置の動作クロックと受信側装置の動作クロックが一致するように制御すること、を特徴とするデータ同期方式。

【請求項5】 2つの装置が、データ同期クロックを伝送できない伝送路経由で、データ通信を行うシステムのデータ同期方式において、

送信側装置は、データを予め定められた一定周期の間隔で送信し、

受信側装置は、データの受信タイミングから上記送信側装置のデータの送信周期を認識し、該データの受信タイミングと自身の動作クロックから生成した受信データ格納手段に格納された受信データの読み出し周期との差か

ら、上記送信側装置と上記受信側装置の動作クロックの周波数の誤差を判断し、その判断結果に基づいて自身の動作クロックの周波数を制御し、上記送信側装置と上記受信側装置の動作クロックが一致するように制御すること、

を特徴とするデータ同期方式。

【請求項6】 2つの装置が、データ同期クロックを伝送できない伝送路経由で、データ通信を行うシステムのデータ同期方式において、

送信側装置は、自身が送信するデータ内に一定周期のタイミングでタイミングデータを挿入し、

受信側装置は、上記送信側装置から受信するデータ内のタイミングデータを検出し、その検出タイミングの周期に従って、自身の動作クロックの周波数を制御することにより、上記送信側装置と上記受信側装置の動作クロックが一致するように制御すること、

を特徴とするデータ同期方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データ伝送装置におけるデータ同期方式に関する。

【0002】

【従来の技術】同期データを、非同期伝送路で伝送する場合、送信側から受信側へ同期用のタイミングクロックを、別途、伝送する必要がある。例えば、クロックに同期しているデータを、無線等のように、同期クロックを伝送できない伝送路を経由して相手側に送信する場合、送信側と受信側の双方の装置のクロックの周期が完全に一致していない場合には、データのオーバーフローまたはアンダフローが発生する。このような現象を回避するためには、上記双方の装置のクロック周期を一致させる必要があり、このために、送信側から受信側へ同期用のタイミングクロックを、所定の信号線を介して、伝送する必要がある。

【0003】

【発明が解決しようとする課題】上述したように、従来は、同期データを、非同期伝送路で伝送する場合、送信側から受信側へ同期用のタイミングクロックを送信するための信号線を、別途、敷設する必要があった。このため上記タイミングクロックを送信するための信号線を敷設するために、コストが割高になっていた。

【0004】本発明の課題は、同期データを、非同期伝送路で伝送する場合、送信側から受信側へ同期用のタイミングクロックを送信するための信号線を、別途、敷設する必要が無いデータ同期方式を提供することである。

【0005】

【課題を解決するための手段】第1の発明の構成は、2つの装置が、データ同期クロックを伝送できない伝送路経由で、データ通信を行うシステムのデータ同期方式を前提とし、その構成は、以下の通りである。

【0006】すなわち、受信側装置は、送信側装置から送信されてくる受信データを格納する受信データ格納手段と、該受信データ格納手段に格納されているデータを、外部から加わる動作クロックに同期して読み出すデータ読み出し手段と、前記受信データ格納手段に格納されているデータの残量の時間的推移を基に、該データ読み出し手段に加える前記動作クロックの周波数を制御する動作クロック制御手段を備え、該動作クロック制御手段は、上記受信側装置と上記送信側装置の双方の動作クロックが一致するように自身が生成する動作クロックの周波数を制御することを特徴とする。

【0007】受信データ格納手段のデータ残量は、送信側装置のデータの送信速度と受信側装置の受信データ格納手段からのデータの読み出し速度が一致している場合には、一定に保たれる（但し、バースト的にデータ伝送を行っている場合には、受信データ格納手段のデータ残量は、一定の範囲内で増減する）。しかし、送信側装置の動作クロックの方が受信側装置の動作クロックよりも速い場合には、受信データ格納手段のデータ残量は、その動作クロックの周波数誤差に比例して増加していく。また、これとは、反対に、送信側装置の動作クロックの方が受信側装置の動作クロックよりも遅い場合には、受信データ格納手段のデータ残量は、その動作クロックの周波数誤差に比例して減少していく。第1の発明では、動作クロック制御手段が、この受信データ格納手段のデータ残量の増減の状態を監視しながら、受信側装置の動作クロックの周波数を増減し、受信データ格納手段のデータ残量を一定に保つように制御することによって、送信側装置の動作クロックの周期と受信側装置の動作クロックを一致させるように制御し、受信データ格納手段における受信データのオーバーフロー／アンダフローを防止させる。

【0008】第2の発明の構成は、2つの装置が、データ同期クロックを伝送できない伝送路経由で、データ通信を行うシステムのデータ同期方式を前提とし、その構成は、以下の通りである。

【0009】すなわち、送信側装置は、動作クロックを生成する送信動作クロック生成手段と、該送信動作クロック生成手段から入力される動作クロックを基に送信開始タイミング信号を生成する送信開始タイミング生成手段と、送信データを格納し、該送信開始タイミング生成手段から送信開始タイミング信号が加わる毎に、格納している送信データを受信側装置に送信する送信データ格納手段を備え、受信側装置は、送信側装置から送信されてくるデータを受信・格納し、そのデータの受信を検出する毎に、データ受信タイミング信号を出力する受信データ格納手段と、動作クロックを生成し、その動作クロックの周波数を、該受信データ格納手段から入力するデータ受信タイミング信号の入力間隔に応じて制御する受信動作クロック生成手段と、該受信動作クロック生成手

段から加わる動作クロックに同期して、前記受信データ格納手段からデータを読み出すデータ処理手段を備え、前記受信動作クロック生成手段は、送信側装置の動作クロックと受信側装置の動作クロックが一致するように、自身が生成する動作クロックの周波数を制御することを特徴とする。

【0010】この第2の発明では、送信側装置と受信側装置間で、事前に、データパケットの伝送周期を決めておき、送信側装置は、自身の動作クロックを基にして、この周期を生成し、データの送信を行う。受信側装置は、送信側装置から送られてくるデータの受信周期と、自身の動作クロックを基にして生成した受信データの読み出し周期とを比較して、自身の生成した受信データの読み出し周期の方が短い場合には、自身の動作クロックの周波数を低くし、自身の生成した受信データの読み出し周期の方が長い場合には、自身の動作クロックの周波数を高くするように制御する。第2の発明では、このようにして、送信側装置の動作クロックと受信側装置の動作クロックが一致するように受信側装置の動作クロックの周波数を制御することによって、受信側装置内の受信データ格納手段における受信データのオーバフロー／アンダフローを防止させる。

【0011】第3の発明の構成は、2つの装置が、データ同期クロックを伝送できない伝送経路で、データ通信を行うシステムのデータ同期方式を前提とし、その構成は、以下の通りである。

【0012】すなわち、送信側装置は、動作クロックを生成する送信動作クロック生成手段と、該送信動作クロック生成手段から入力する動作クロックを基にタイミングデータ挿入信号を生成するタイミングデータ挿入信号生成手段と、該タイミングデータ挿入信号生成手段からタイミングデータ挿入信号が加わる毎に、送信データにタイミングデータを挿入して受信側装置に送信するタイミングデータ挿入手段を備え、受信側装置は、送信側装置から送信されてくるデータ中のタイミングデータを検出し、該検出毎に抽出タイミング信号を出力すると共に、その受信するデータからタイミングデータを除去するタイミングデータ検出／除去手段と、該タイミングデータ検出／除去手段から出力されるタイミングデータの除去された受信データを格納する受信データ格納手段と、動作クロックを生成し、上記タイミングデータ検出／除去手段から入力される抽出タイミング信号の入力間隔に応じて自身の生成する動作クロックの周波数を制御する受信動作クロック生成手段と、該受信動作クロック生成手段から加わる動作クロックに同期して前記受信データ格納手段からデータを読み出すデータ処理手段を備え、前記受信動作クロック生成手段は、送信側装置の動作クロックと受信側装置の動作クロックが一致するように、自身が生成する動作クロックの周波数を制御することを特徴とする。

【0013】第3の発明では、送信側装置と受信側装置間で、事前に、タイミングデータの挿入周期を決めておき、送信側装置は、自身の動作クロックを基にして、この周期を生成し、送信データの途中に、この周期毎に、タイミングデータを挿入する。受信側装置は、送信側装置から送られてくるデータに挿入されているタイミングデータの受信周期と自身の動作クロックを基にして生成した受信データの読み出し周期とを比較して、自身の生成した受信データの読み出し周期の方が短い場合には、自身の動作クロックの周波数を低くし、自身の生成した受信データの読み出し周期の方が長い場合には、自身の動作クロックの周波数を高くするように制御する。第3の発明では、このようにして、送信側装置の動作クロックと受信側装置の動作クロックが一致するように受信側装置の動作クロックの周波数を制御することによって、受信側装置内の受信データ格納手段における受信データのオーバフロー／アンダフローを防止させる。

【0014】

【発明の実施の形態】以下、図面を参照しながら本発明の実施例を詳細に説明する。以下に述べる3つの実施例は、いずれも、元来、全二重・同期通信でデータの送受信を行っていた装置間の伝送路を半二重・非同期通信の伝送路に置換した場合に、両装置を従来通りに動作させるための伝送路制御部の構成である。

【0015】全二重で通信していた伝送を半二重の伝送路に置換するため、データの伝送は基本的に送受信交互のバケット通信となり、伝送路のデータ伝送速度は全二重通信時の2倍以上となっている。

【0016】図1は、本発明の第1実施例のデータ伝送システムの受信側装置10のシステム構成を示すブロック図である。データ伝送用無線機11は、送信側装置から無線により送られてくるデータを受信する。

【0017】受信データバッファ12は、該データ伝送用無線機11によって受信されるデータ（受信データD<sub>j</sub>）を、順次、格納・蓄積する。データ処理部13は、動作クロック制御回路14から加わる動作クロックaに従って、一定周期で、受信データバッファ12から受信データD<sub>j</sub>を読みだす。

【0018】上記受信データバッファ12は、例えば、FIFO（First-In-First-Out）、デュアルポートメモリなどの記憶素子で構成され、データ伝送用無線機11による受信データバッファ12に対する受信データD<sub>j</sub>の書き込み動作と、データ処理部13による受信データバッファ12からの受信データD<sub>j</sub>の読み出し動作は、同時に行われる。

【0019】受信データバッファ12は、自己が蓄積している受信データD<sub>j</sub>の記憶残量をデータ残量通知信号bによって動作クロック制御回路14に通知する。動作クロック制御回路14は、このデータ残量通知信号bに従って動作クロックaの周波数を制御する。

【0020】図2は、上記構成の受信側装置10の動作を説明するタイミングチャートである。図2(a)は受信データバッファ12に書き込まれる受信データDj、図2(b)はデータ処理部13が受信データバッファ12から読み出す受信データDj、及び図2(c)は受信データバッファ12内の受信データDjの残量を示す。

【0021】図2に示す例は、受信側装置10に対してデータを送信してくる不図示の送信側装置の動作クロックと受信側装置10の動作クロックaが同一の速度で、データ伝送用無線機11による受信データバッファ12に対する受信データDjの書き込み速度(受信データDjの伝送速度)が、データ処理部13の受信データバッファ12に対する受信データDjの読み出し速度の2倍となっている例である。このため、受信データバッファ12に対する受信データDjの書き込みとその休止の周期の比を1対1にすることで、送信側装置における送信データの送信データバッファ(不図示)に対する書き込みと受信側装置10における受信データバッファ12からの受信データDjの読み出しの同期をとっている。

【0022】このとき、もし、不図示のデータの送信側装置の動作クロックの速度と受信側装置10の動作クロックaの速度に差があった場合、データ残量の上下する範囲(データ残量の上下の包絡線の傾き)は変化していく。この変化を、動作クロック制御回路14は、受信データバッファ12から受け取るデータ残量通知信号bにより検出し、その変化の推移の様子から動作クロックaの周波数を高くするべきかまたは低くするべきかを判断する。そして、その判断結果に基づいて、動作クロックaの周波数を制御する。この制御により、送信側装置の動作クロックと受信側装置10の動作クロックaの周期はやがて一致し、受信データバッファ12内の受信データDjの残量は、図2(c)に示すように、常に、一定の範囲内で推移することとなり、受信データDjのオーバーフロー／アンダフローは発生しない。

【0023】次に、図3は、本発明の第2の実施例のデータ伝送装置のシステム構成を示すブロック図である。送信側装置20は、送信データバッファ21、送信側動作クロック生成回路22、及び送信動作タイミング生成回路23を備えている。

【0024】送信データバッファ21は、受信側装置30に送信するデータ(送信データDs)を格納・蓄積する。送信側動作クロック生成回路22は、送信側装置20のデータ送信動作速度の基準となる動作クロックdを生成し、これを送信データバッファ21及び送信動作タイミング生成回路23に加える。

【0025】送信動作タイミング生成回路23は、上記送信側動作クロック生成回路22から加えられる動作クロックdを一定周期、分周して、送信開始タイミング信号eを生成し、これを送信データバッファ21に加える。すなわち、送信開始タイミング信号eは動作クロック

kdに同期している。

【0026】送信データバッファ21は、上記送信開始タイミング信号eを受ける毎に、不図示の通信インターフェース及び伝送路29を介して内部に保持しているデータを1パケット分受信側装置30に送信する。このとき、上記通信インターフェースは、送信データバッファ21に動作クロックdの2倍以上の速度のデータ伝送クロックを加え、このデータ伝送クロックに同期して、送信データバッファ21からデータを読み出し、このデータを伝送路29上に出送する。ここで、便宜上、上記伝送路29上のデータを伝送路データDDと呼ぶことにする。

【0027】受信側装置30は、受信データバッファ32、データ処理部33、及び受信側動作クロック制御回路35を備えている。受信データバッファ32は、伝送路29を介して、送信側装置20から送られてくる伝送路データDDを格納・蓄積する。また、伝送路データDDの先頭の受信を検出する毎に、データ受信タイミング信号fを受信側動作クロック制御回路35に通知する。

【0028】受信側動作クロック制御回路35は、この受信データバッファ32から受け取るデータ受信タイミング信号fの受信間隔から、送信側装置20の動作クロックdの周波数と自身がデータ処理部33に加える動作クロックgの周波数との誤差を認識し、自身が生成する動作クロックgの周波数が送信側装置20の動作クロックdの周波数と一致するように制御する。すなわち、データ受信タイミング信号fの受信周期は、送信開始タイミング信号eの出力周期と一致するため、受信側動作クロック制御回路35は、自身が生成する動作クロックgを送信側装置20と同一の一定周期で分周して生成する周期と、データ受信タイミング信号fの受信周期が一致するように動作クロックgの周波数を制御する。

【0029】データ処理部33は、受信側動作クロック制御回路35から加えられる動作クロックgに従って、受信データバッファ32からデータを読み出す。このように、第2の実施例では、受信側動作クロック制御回路35が、送信側装置20によって生成される送信開始タイミング信号eの検出間隔に従って、自身が生成する動作クロックgの周波数を制御することによって、送信側装置20の動作クロックdと受信側装置30の動作クロックgとの周波数が一致するようになり、受信データバッファ32においてデータのオーバーフロー／アンダフローは発生しない。

【0030】図4は、上記構成のデータ伝送装置の動作を説明するタイミングチャートである。図4(a)は送信側装置20の送信動作タイミング生成回路23によって生成される送信開始タイミング信号e、図4(b)は伝送路データDD、及び図4(c)は受信データバッファ32によって送出されるデータ受信タイミング信号fを示す。

【0031】上述したように、送信側装置20の送信開始タイミング信号eは、送信側動作クロック生成回路22から出力される動作クロックdを基準に生成されており、送信側装置20では、この送信開始タイミング信号eの発生毎に、伝送路29にデータ（伝送路データDD）を送出している（図4（a）、（b）参照）。

【0032】受信側装置30では、伝送路29から送られてくる伝送路データDDを監視しており、伝送路29から受信データバッファ32に伝送路データDDが受信されると、受信データバッファ32がその先頭のタイミングを検出して、データ受信タイミング信号fを受信側動作クロック制御回路35に通知する（図4（c）参照）。受信側動作クロック制御回路35は、このデータ受信タイミング信号fの通知タイミングと自身が生成する動作クロックgを基に生成するタイミングに誤差がある場合には、送信側装置20の動作クロックdと受信側装置30の動作クロックgの周波数に誤差があることを示していると認識し、この誤差が無くなるように動作クロックgの周波数を制御する。このことにより、送信側装置20の動作クロックdの周期と受信側装置30の動作クロックgの周期は、一致するようになり、送信側装置20から受信側装置30へのデータの送信速度と受信側装置30における受信データバッファ32からのデータの読み出しの速度は、見かけ上、一致するようになり、受信データバッファ32においてデータのオーバーフロー／アンダーフローは発生しない。

【0033】次に、図5は、本発明の第3の実施例のデータ伝送装置のシステム構成を示すブロック図である。送信側装置40は、送信データバッファ兼タイミングデータ挿入回路41、送信側動作クロック生成回路42、及びタイミングデータ挿入タイミング生成回路43を備えている。

【0034】この送信側装置40は、送信側動作クロック生成回路42によって生成される動作クロックiを基準にして動作する。送信側動作クロック生成回路42は、自身が生成する動作クロックiを、送信データバッファ兼タイミングデータ挿入回路41とタイミングデータ挿入タイミング生成回路43に出力する。

【0035】タイミングデータ挿入タイミング生成回路43は、この動作クロックiを一定周期で分周してタイミングデータ挿入タイミング信号jを生成し、これを送信データバッファ兼タイミングデータ挿入回路41に加える。すなわち、タイミングデータ挿入タイミング信号jは、動作クロックiに同期している。

【0036】送信データバッファ兼タイミングデータ挿入回路41は、不図示の通信インタフェース及び伝送路49を介して内部に保持しているデータを受信側装置50に送信する。送信データバッファ兼タイミングデータ挿入回路41は送信動作中にタイミングデータ挿入タイミング信号jを受けると伝送路49へ送出するデータに

タイミングデータを挿入する。ここで、便宜上、伝送路49上に送出されるデータを伝送路データDD3と呼ぶことにする。

【0037】受信側装置50は、タイミングデータ抽出／除去回路51、受信データバッファ52、データ処理部53、及び受信側動作クロック制御回路54を備えている。

【0038】タイミングデータ抽出／除去回路51は、伝送路49を介して受信する伝送路データDD3中のタイミングデータを検出する毎に、抽出タイミング信号kを受信側動作クロック制御回路54に通知する。

【0039】受信側動作クロック制御回路54は、この抽出タイミング信号kの受信間隔から、送信側装置40側の動作クロックiの周波数と自身が生成する動作クロックmの周波数との誤差を認識し、その動作クロックmの周波数を制御する。すなわち、抽出タイミング信号kの受信周期は、タイミングデータ挿入タイミング信号jの出力周期と一致するため、受信側動作クロック制御回路54は、自身が生成する動作クロックmを送信側装置40と同一の一定周期で分周して生成する周期が、抽出タイミング信号kの受信周期と一致するように動作クロックmの周波数を制御する。

【0040】また、タイミングデータ抽出／除去回路51は、受信する伝送路データDD3からタイミングデータを除去して、受信データバッファ52に格納・蓄積する。データ処理部53は、受信側動作クロック制御回路54により周波数制御される動作クロックmで動作し、この動作クロックmに従って、受信データバッファ52からデータの読み出しを行う。

【0041】このように、第3の実施例では、受信側動作クロック制御回路54が、送信側装置40の送信データバッファ兼タイミングデータ挿入回路41が送信側装置40の動作クロックiを基に一定周期で挿入するタイミングデータの検出間隔に従って、送信側装置40の動作クロックiの周期と受信側装置50の動作クロックmの周期を一致させるように制御するので、送信側装置40の送信データバッファ兼タイミングデータ挿入回路41へのデータの入力速度と受信側装置50における受信データバッファ52からのデータの読み出しの速度は、一致するようになり、受信データバッファ52においてデータのオーバーフロー／アンダーフローは発生しない。

【0042】図6は、上記構成の第3の実施例の動作を説明するタイミングチャートである。図6（a）は受信側装置50のタイミングデータ挿入タイミング生成回路43の出力するタイミングデータ挿入タイミング信号j、図6（b）は伝送路データDD3、及び図6（c）はタイミングデータ抽出／除去回路51の出力する抽出タイミング信号kである。

【0043】送信側装置40においては、送信データバッファ兼タイミングデータ挿入回路41が、データ送信

10

20

30

40

50

中にタイミングデータ挿入タイミング生成回路43からタイミングデータ挿入タイミング信号jが加わる毎に、送信データDs3中にタイミングデータを挿入する。このタイミングデータが挿入された送信データDs3は、伝送路データDD3となって、伝送路データDD3を介して受信側装置50に送られる(図6(a),(b)参照)。

【0044】受信側装置50では、タイミングデータ抽出/除去回路51が伝送路データDD3を介して受信する伝送路データDD3からタイミングデータを検出し、該検出時に、抽出タイミング信号kを受信側動作クロック制御回路54に出力する(図6(c)参照)。受信側動作クロック制御回路54は、この抽出タイミング信号kの受信タイミングと自身が生成する動作クロックmを基に生成する周期に誤差がある場合には、送信側装置40の動作クロックiの周波数と受信側装置50の動作クロックmの周波数に誤差があることを示していることを認識し、この誤差が無くなるように動作クロックmの周波数を制御する。このことにより、送信側装置40の送信データバッファ兼タイミングデータ挿入回路41へのデータの入力速度と受信側装置50における受信データバッファ52からのデータの読み出しの速度は、一致するようになり、受信データバッファ52においてデータのオーバフロー/アンダフローは発生しない。

【0045】

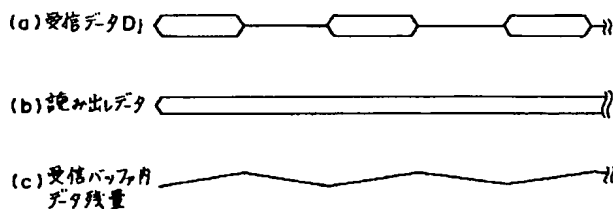
【発明の効果】以上、説明したように、本発明によれば、送信側装置と受信側装置との間で、データ同期クロックを伝送しなくても、該送信側装置と該受信側装置との間で、双方の動作クロックの同期を取ることが可能になるので、該両装置間を接続する敷設線の本数を減少させることができ、データ伝送装置システムのコストの低減が可能になる。

【図面の簡単な説明】

【図1】本発明の第1実施例のデータ伝送装置の受信側装置のシステム構成を示すブロック図である。 \*

【図2】

第1実施例の動作を説明するタイミングチャート



\*【図2】上記第1実施例の動作を説明するタイミングチャートである。

【図3】本発明の第2実施例のデータ伝送装置のシステム構成を示すブロック図である。

【図4】上記第2実施例の動作を説明するタイミングチャートである。

【図5】本発明の第3実施例のデータ伝送装置のシステム構成を示すブロック図である。

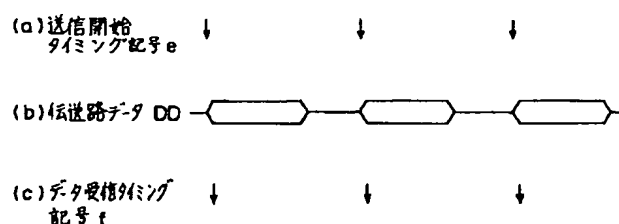
【図6】上記第3実施例の動作を説明するタイミングチャートである。

【符号の説明】

10	受信側装置
11	データ伝送用無線機
12	受信データバッファ
13	データ処理部
14	動作クロック制御回路
20	送信側装置
21	送信データバッファ
22	送信側動作クロック生成回路
23	送信動作タイミング生成回路
29	伝送路
30	受信側装置
32	受信データバッファ
33	データ処理部
35	受信側動作クロック制御回路
40	送信側装置
41	タイミングデータ挿入回路
42	送信側動作クロック生成回路
43	タイミングデータ挿入タイミング生成回路
49	伝送路
50	受信側装置
51	タイミングデータ抽出/除去回路
52	受信データバッファ
53	データ処理部
54	受信側動作クロック制御回路

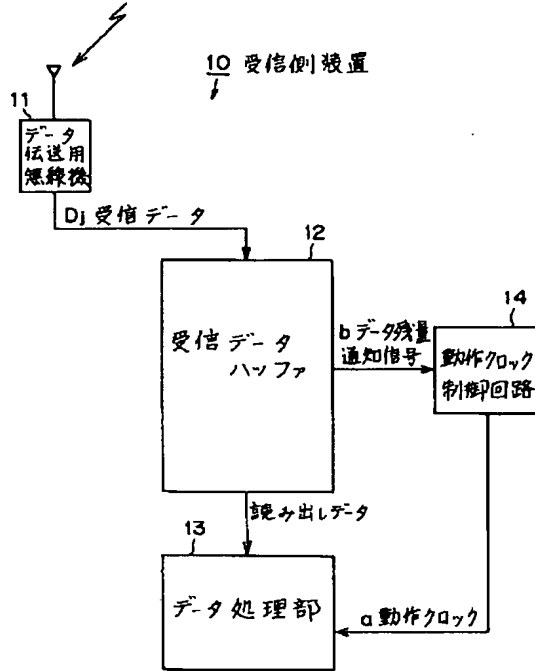
【図4】

第2実施例の動作を説明するタイミングチャート



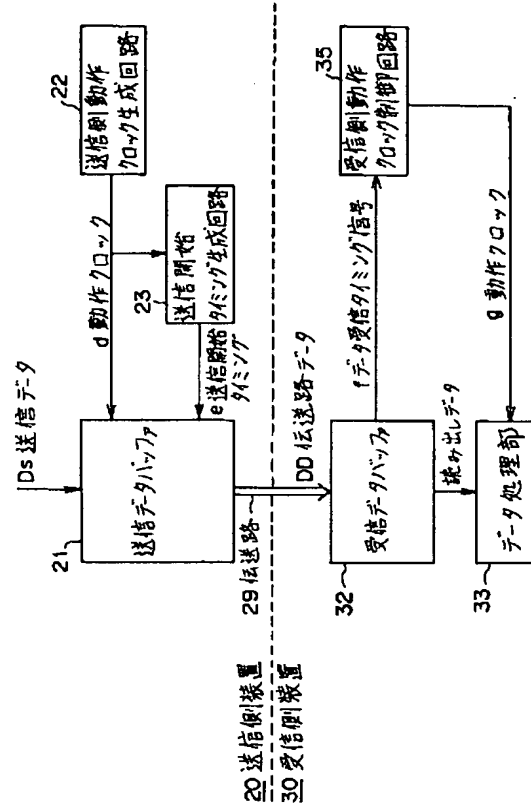
【図1】

本発明の第1実施例のデータ伝送装置の  
受信側装置のシステム構成を示すブロック図



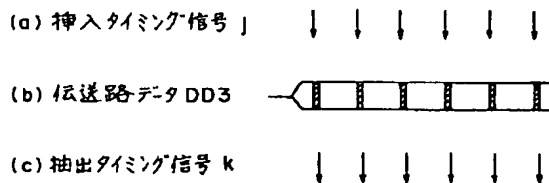
【図3】

本発明の第2実施例のデータ伝送装置の  
システム構成を示すブロック図



【図6】

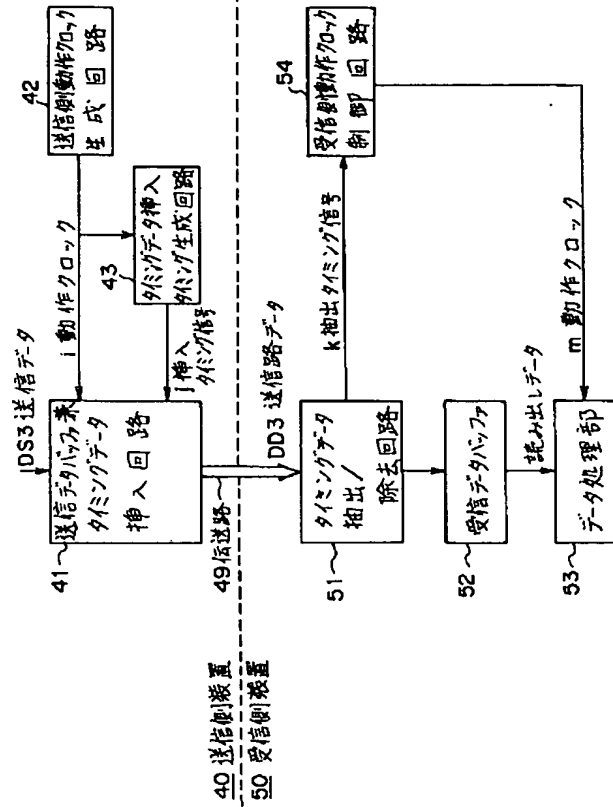
第3実施例の動作を説明するタイミングチャート





【図5】

本発明の第3実施例のデータ伝送装置の  
システム構成を示すブロック図



Japanese Kokai Patent Application No. Hei 9[1997]-270779

---

Job No.: 228-125071      Ref.: JP9-270779/PU030016/PPK(Fideliz)/Order No. ART31  
Translated from Japanese by the McElroy Translation Company  
800-531-9977      customerservice@mcelroytranslation.com

(19) JAPANESE PATENT  
OFFICE (JP)(12) KOKAI TOKUHYO PATENT  
GAZETTE (A)(11) PATENT APPLICATION KOKAI  
PUBLICATION

NO. HEI 9[1997]-270779

(43) Publication Date October 14, 1997

(51) Int. Cl. <sup>6</sup> :	Identification Codes:	Sequence Nos. for Office Use: FI	Technical Disclosure Section
H 04 L 7/00		H 04 L 7/00	G
704		7/04	Z

Examination Request: Not filed

No. of Claims: 6 (Total of 9 pages; OL)

(21) Filing No.: Hei 8[1996]-79077

(22) Filing Date: April 1, 1996

(71) Applicant:

000005234

Fuji Electric Co. Ltd.

1-1 Tanabe Shinden, Kawasaki-ku,  
Kawasaki-shi, Kanagawa-ken

(72) Inventor:

Hideyuki Ogura

Fuji Electric Co. Ltd.

1-1 Tanabe Shinden, Kawasaki-ku,  
Kawasaki-shi, Kanagawa-ken

(74) Agent:

Yoshiyuki Osuga, patent attorney

(54) [Title] DATA SYNCHRONIZATION SYSTEM

(57) Abstract

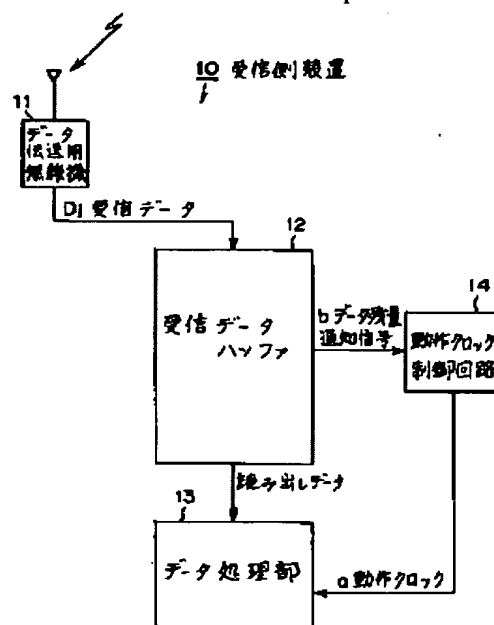
## Problem

To achieve synchronization of operating clocks between transmitting-side and receiving-side devices without transmitting a data synchronization clock between the receiving-side device and the transmitting-side device.

## Means to solve

A received data buffer 12 notifies an operating clock control circuit 14 of the quantity of data remaining in it with a quantity-of-data-remaining notification signal b. Operating clock control circuit 14 controls the frequency of an operating clock a that it will output to a data processing unit 13 according to the nature of the changes in the quantity of data remaining in received data buffer 12 from said quantity-of-data-remaining notification signal b, and provides control so that the operating clocks of the transmitting-side device and the receiving-side device will match.

[Block diagram showing the system configuration for the receiving-side device of the data transmission devices in a first embodiment of the present invention]



Key: a Operating clock  
b Quantity-of-data-remaining notification signal  
Dj Received data

- 1 Read data
- 10 Receiving-side device
- 11 Data transmission wireless unit

### Claims

1. In a data synchronization system for a system that provides data communication over a transmission path that does not permit two devices to transmit a data synchronization clock, a data synchronization system characterized in that the receiving-side device is provided with:

a received data storage means to store received data transmitted from a transmitting-side device,

a data read means to read data stored in said received data storage means synchronized to an operating clock applied from the outside,

and an operating clock control means that controls the frequency of the aforementioned operating clock applied to said data read means based on changes over time in the remaining quantity of data stored in the aforementioned received data storage means,

and said operating clock control means controls the frequency of the operating clock it generates so that the operating clocks of both the aforementioned receiving-side device and the aforementioned transmitting-side device will match.

2. In a data synchronization system for a system that provides data communication over a transmission path that does not permit two devices to transmit a data synchronization clock,

a data synchronization system characterized in that the transmitting-side device is provided with:

a transmission operating clock generating means that generates an operating clock,

a transmission start timing generating means that generates a transmission start timing signal based on the operating clock input from said transmission operating clock generating means,

and a transmission data storage means that stores transmission data and transmits the stored transmission data to a receiving-side device each time a transmission start timing signal is applied from said transmission start timing generating means,

the receiving-side device is provided with:

a received data storage means that receives and stores data transmitted from the transmitting-side device and outputs a data reception timing signal each time reception of the data is detected,

a reception operating clock generating means that generates an operating clock and controls the frequency of the operating clock based on the intervals between the data reception timing signals input from said received data storage means,

and a data processing means that reads data from the aforementioned received data storage means synchronized with the operating clock applied from said reception operating clock generating means,

and the aforementioned reception operating clock generating means controls the frequency of the operating clock it generates so that the operating clock of the transmitting-side device and the operating clock of the receiving-side device will match.

3. In a data synchronization system for a system that provides data communication over a transmission path that does not permit two devices to transmit a data synchronization clock,

a data synchronization system characterized in that the transmitting-side device is provided with:

a transmission operating clock generating means that generates an operating clock,

a timing data insertion signal generating means that generates a timing insertion signal based on the operating clock input from said transmission operating clock generating means,

and a timing data insertion means that inserts timing data into the transmission data and transmits the data to the receiving-side device each time a timing data insertion signal is applied from said timing data insertion signal generating means,

the receiving-side device is provided with:

a timing data detecting/removing means that detects the timing data in the data transmitted from the receiving-side device, and that outputs the extracted timing signal each time said signal is detected and also removes the timing data from the data that are received,

a received data storage means that stores the received data output from said timing data detecting/deleting means from which the timing data have been removed,

a reception operating clock generating means that generates an operating signal and controls the frequency of the operating clock it generates based on the intervals between the extracted timing signals input from the aforementioned timing data detecting/removing means,

and a data processing means that reads data from the aforementioned received data storage means synchronized with the operating clock applied from said reception operating clock generating means,

and the aforementioned reception operating clock generating means controls the frequency of the operating clock it generates so that the operating clock of the transmitting-side device and the operating clock of the receiving-side device will match.

4. In a data synchronization system for a system that provides data communication over a transmission path that does not permit two devices to transmit a data synchronization clock,

a data synchronization system characterized in that the receiving device is provided with:  
 a received data storage means that can measure the quantity of stored data remaining to be stored by the receiving-side device and that can measure the quantity of data remaining in the aforementioned received data storage means, while monitoring changes based on the difference between the speed at which data are input to the received data storage means and the speed at which data are read from the receive data storage means and determining the difference between the speeds of the operating clock of the receiving-side device and the operating clock of the transmitting-side device based on the changes in the quantity of remaining data, and controlling the operating clock of the transmitting-side device and the operating clock of the receiving-side device so that they match by controlling the frequency of the operating clock of the receiving-side device.

5. In a data synchronization system for a system that provides data communication over a transmission path that does not permit two devices to transmit a data synchronization clock,

a data synchronization system characterized in that the transmitting-side device transmits data at predetermined fixed cyclic intervals,

and the receiving-side device recognizes the data transmission cycle of the aforementioned transmitting-side device from the data reception timing, determines errors between the frequencies of the operating clocks of the aforementioned transmitting-side device and the aforementioned receiving-side device from the difference between said data reception timing and the read cycle for received data stored in a received data storage means generated from its own operating clock, controls the frequency of its own operating clock based on the determination result, and provides control so that the operating clocks of the aforementioned transmitting-side device and the aforementioned receiving-side device will match.

6. In a data synchronization system for a system that provides data communication over a transmission path that does not permit two devices to transmit a data synchronization clock,

a data synchronization system characterized in that the transmitting-side device inserts timing data at fixed cyclic timing into the data it transmits,

and the receiving-side device detects the timing data in the data received from the aforementioned transmitting-side device and provides control so that the operating clocks of the aforementioned transmitting-side device and the aforementioned receiving-side device will match by controlling the frequency of its own operating clock in accordance with the cycle of the detected timing.

### Detailed explanation of the invention

[0001]

#### Technical field of the invention

The present invention relates to a data synchronization system in data transmission devices.

[0002]

#### Prior art

When synchronous data are transmitted on an asynchronous transmission path, a timing clock for synchronization purposes must be transmitted separately from the transmitting side to the receiving side. For example, when data synchronized to a clock are transmitted to another device over a transmission path that does not permit a synchronization clock to be transmitted, such as with wireless, when the clock cycles of the two devices on the transmitting side and the receiving side are not perfectly matched, data overflow or underflow occurs. To avoid such a phenomenon, the clock cycles of the aforementioned two devices must be matched, and for this reason, a timing clock for synchronization must be transmitted from the transmitting side to the receiving side over a specified signal line.

[0003]

#### Problems to be solved by the invention

As stated above, in the past, when synchronous data are transmitted with an asynchronous transmission path, a signal line must be established separately to transmit a timing clock for synchronization purposes from the transmitting side to the receiving side. For this reason, costs are higher, because a signal line must be established to transmit the aforementioned timing clock.

[0004]

The problem for the present invention is to provide a data synchronization system that does not require the establishment of a separate signal line for transmitting a timing clock for synchronization purposes from the transmitting side to the receiving side when synchronous data are transmitted on an asynchronous transmission path.

[0005]

Means to solve the problems

The configuration of a first invention assumes a data synchronization system for a system that provides data communication over a transmission path that does not permit two devices to transmit a data synchronization clock to be transmitted, and the configuration is as below.

[0006]

In short, the characteristics are that the receiving-side device is provided with a received data storage means to store received data transmitted from a transmitting-side device, a data read means to read data stored in said received data storage means synchronized to an operating clock applied from the outside, and an operating clock control means that controls the frequency of the aforementioned operating clock applied to said data read means based on changes over time in the remaining quantity of data stored in the aforementioned received data storage means, and said operating clock control means controls the frequency of the operating clock it generates so that the operating clocks of both the aforementioned receiving-side device and the aforementioned transmitting-side device will match.

[0007]

The quantity of data remaining in the received data storage means is constant when the speed at which data are transmitted from the transmitting-side device and the speed at which data are read from the received data storage means of the receiving-side device match (when data are transmitted in bursts, however, the quantity of data remaining in the received data storage means changes within a fixed range). When the operating clock of the transmitting-side device is faster than the operating clock of the receiving device, however, the quantity of data remaining in the received data storage means increases in proportion to the frequency mismatch between the operating clocks. In addition, conversely, when the operating clock of the transmitting-side device is slower than the operating clock of the receiving-side device, the quantity of data remaining in the received data storage means decreases in proportion to the frequency mismatch between the operating clocks. With the first invention, the operating clock control means changes the frequency of the operating clock of the receiving-side device while monitoring the change in the quantity of data remaining in the received data storage means, and by controlling the quantity of data remaining in the received data storage means so that it is constant, it controls the cycle of the operating clock of the transmitting-side device and the operating clock of the receiving-side device so that they match, which prevents overflow or underflow of received data in the received data storage means.



[0008]

The configuration of the second invention assumes a data synchronization system for a system that provides data communication over a transmission path that does not permit two devices to transmit a data synchronization clock, and the configuration is as below.

[0009]

In short, the characteristics are that the transmitting-side device is provided with a transmission operating clock generating means that generates an operating clock, a transmission start timing generating means that generates a transmission start timing signal based on the operating clock input from said transmission operating clock generating means, and a transmission data storage means that stores transmission data and transmits the stored transmission data to a receiving-side device each time a transmission start timing signal is applied from said transmission start timing generating means. The receiving-side device is provided with a received data storage means that receives and stores data transmitted from the transmitting-side device and outputs a data reception timing signal each time reception of the data is detected, a reception operating clock generating means that generates an operating clock and controls the frequency of the operating clock based on the intervals between the data reception timing signal input from said received data storage means, and a data processing means that reads data from the aforementioned received data storage means synchronized with the operating clock applied from said reception operating clock generating means. The aforementioned reception operating clock generating means controls the frequency of the operating clock it generates so that the operating clock of the transmitting-side device and the operating clock of the receiving-side device will match.

[0010]

With the second invention, a data packet transmission cycle between the transmitting-side device and the receiving-side device is determined in advance. The transmitting-side device generates the cycle based on its own operating clock and transmits data. The receiving-side device compares the reception cycle of data sent from the transmitting-side device and the read cycle for received data generated based on its own operating clock. When the read cycle for received data that it generates is shorter, it provides control to lower its own operating clock frequency, and when the read cycle for received data that it generates is longer, it provides control to raise its own operating clock frequency. With the second invention, by controlling the frequency of the operating clock of the receiving-side device so that the operating clock of the transmitting-side device and the operating clock of the receiving-side device match in this way,

overflow or underflow of received data in the received data storage means of the receiving-side device is prevented.

[0011]

The configuration of the third invention assumes a data synchronization system for a system that provides data communication over a transmission path that does not permit two devices to transmit a data synchronization clock, and the configuration is as below.

[0012]

In short, the characteristics are that transmitting-side device is provided with a transmission operating clock generating means that generates an operating clock, a timing data insertion signal generating means that generates a timing insertion signal based on the operating clock input from said transmission operating clock generating means, and a timing data insertion means that inserts timing data into the transmission data and transmits the data to the receiving-side device each time a timing data insertion signal is applied from said timing data insertion signal generating means. The receiving-side device is provided with a timing data detecting/removing means that detects the timing data in the data transmitted from the receiving-side device, and that outputs the extracted timing signal each time said signal is detected and also removes the timing data from the data that are received, a received data storage means that stores the received data output from said timing data detecting/deleting means from which the timing data have been removed, a reception operating clock generating means that generates an operating signal and controls the frequency of the operating clock it generates based on the intervals between the extracted timing signal input from the aforementioned timing data detecting/removing means, and a data processing means that reads data from the aforementioned received data storage means synchronized with the operating clock applied from said reception operating clock generating means. The aforementioned reception operating clock generating means controls the frequency of the operating clock it generates so that the operating clock of the transmitting-side device and the operating clock of the receiving-side device will match.

[0013]

With the third invention, the timing data insertion cycle between the transmitting-side device and the receiving-side device is determined in advance. The transmitting-side device generates the cycle based on its own operating clock, and inserts timing data for each cycle within the transmitted data. The receiving-side device compares the reception cycle of the timing data inserted into the data sent from the transmitting-side device and the read cycle for received data generated based on its own operating clock. When the read cycle for received data that it

generates is shorter, it provides control to lower its own operating clock frequency, and when the read cycle for received data that it generates is longer, it provides control to raise its own operating clock frequency. With the third invention, by controlling the frequency of the operating clock of the receiving-side device so that the operating clock of the transmitting-side device and the operating clock of the receiving-side device match in this way, overflow or underflow of received data in the received data storage means of the receiving-side device is prevented.

[0014]

#### Embodiment of the invention

Embodiments of the present invention will be explained in detail below with reference to the figures. The three embodiments discussed below each relate to configurations of transmission path control units for operating two devices conventionally when the transmission path between devices initially exchanging data using full-duplex synchronous communication is replaced with a half-duplex asynchronous communication transmission path.

[0015]

Because a transmission using full-duplex is replaced with a half-duplex transmission path, the data transmission basically becomes an alternating pattern of transmitting and receiving packets, and the data transmission speed of the transmission path will be two or more times that with full-duplex communication.

[0016]

Figure 1 is a block diagram showing the system configuration of a receiving-side device 10 in a data transmission system in a first embodiment of the present invention. Data transmission wireless unit 11 receives data sent wirelessly from a transmitting-side device.

[0017]

Received data buffer 12 successively stores or accumulates the data (received data Dj) received by said data transmission wireless unit 11. Data processing unit 13 reads received data Dj from received data buffer 12 at a fixed cycle in accordance with operating clock a applied from operating clock control circuit 14.

[0018]

Aforementioned received data buffer 12 is configured with a memory using, for example, a FIFO (First-In-First-Out) dual port memory, and the operation of writing received data Dj to

received data buffer 12 by data transmission wireless unit 11 and the operation of reading received data Dj from received data buffer 12 by data processing unit 13 are performed simultaneously.

[0019]

Received data buffer 12 notifies operating clock control circuit 14 of the quantity of received data Dj that it has accumulated with quantity-of-data-remaining notification signal b. Operating clock control circuit 14 controls the frequency of operating clock a in accordance with quantity-of-data-remaining notification signal b.

[0020]

Figure 2 is a timing chart that explains the operation of receiving-side device 10 with the configuration described above. Figure 2 (a) shows received data Dj written to received data buffer 12, Figure 2 (b) shows received data Dj read from received data buffer 12 by data processing unit 13, and Figure 2 (c) shows the quantity of received data Dj remaining in received data buffer 12.

[0021]

The example shown in Figure 2 is an example in which the operating clock of a not-shown transmitting-side device that is transmitting data to receiving-side device 10 and operating clock a of receiving-side device 10 are the same speed, and the speed at which received data Dj are written to received data buffer 12 by data transmission wireless unit 11 (received data Dj transmission speed) is two times the speed at which data Dj are read to [sic; from] received data buffer 12 by data processing unit 13. For this reason, synchronization between writing of transmission data in the transmitting-side device to a transmission data buffer (not shown) and reading of received data Dj from received data buffer 12 in receiving-side device 10 is achieved by a one-to-one cycle ratio between writing cycles of received data Dj to received data buffer 12 and pause cycles.

[0022]

In this case, if there is a difference between the speed of the operating clock of the not-shown data transmitting-side device and the speed of operating clock a of receiving-side device 10, the range of increases and decreases in the quantity of remaining data (upward or downward slant of the envelope of the quantity of data remaining) changes. The change is detected by operating clock control circuit 14 according to quantity-of-data-remaining notification signal b received from received data buffer 12, and whether the frequency of operating clock a should be

raised or lowered is determined from the nature of the changes. The frequency of operating clock a is then controlled based on the determination result. Due to this control, the cycles of the operating clock of the transmitting-side device and of operating clock a of receiving-side device 10 ultimately match, and the quantity of received data  $D_j$  remaining in received data buffer 12, as shown in Figure 2 (c), will always change within a fixed range, and no overflow or underflow of received data  $D_j$  occurs.

[0023]

Next, Figure 3 is a block diagram showing the system configuration of the data transmission devices in a second embodiment of the present invention. Transmitting-side device 20 is provided with a transmission data buffer 21, a transmitting-side operating clock generating circuit 22, and a transmission operation timing generating circuit 23.

[0024]

Transmission data buffer 21 stores or accumulates data (transmission data  $D_s$ ) to transmit to receiving-side device 30. Transmitting-side operating clock generating circuit 22 generates operating clock d, which is a reference to the data transmission operating speed of transmitting-side device 20, and it is applied to transmission data buffer 21 and transmission operation timing generating circuit 23.

[0025]

Transmission operation timing generating circuit 23 divides an operating clock d applied from aforementioned transmitting-side operating clock generating circuit 22 at a fixed cycle, generates a transmission start timing signal e, and applies it to transmission data buffer 21. That is, transmission start timing signal e is synchronized to operating clock d.

[0026]

Transmission data buffer 21 transmits one packet of data retained internally to receiving-side device 30 over a not-shown communication interface and a transmission path 29 each time aforementioned transmission start timing signal e is received. In this case, the aforementioned communication interface applies a data transmission clock that is at least two times the speed of operating clock d to transmission data buffer 21, data are read from transmission data buffer 21 synchronized to the data transmission clock, and the data are output on transmission path 29. Here, the data on aforementioned transmission path 29 will be called transmission path data DD for convenience.

[0027]

Receiving-side device 30 is provided with a received data buffer 32, a data processing unit 33, and a receiving-side operating clock control circuit 35. Received data buffer 32 stores or accumulates transmission path data DD sent from transmitting-side device 20 over transmission path 29. Each time the reception of the beginning of transmission path data DD is detected, receiving-side operating clock control circuit 35 is notified with a data reception timing signal f.

[0028]

Receiving-side operating clock control circuit 35 recognizes mismatches between the frequency of operating clock d of transmitting-side device 20 and the frequency of operating clock g applied to data processing unit 33 from the reception interval of data reception timing signal f received from received data buffer 32, and provides control so that the frequency of operating clock g that it generates will match the frequency of operating clock d of transmitting-side device 20. That is, the reception cycle of data reception timing signal f matches the output cycle of transmission start timing signal e, so receiving-side operating clock circuit 35 divides operating clock g that it generates at the same fixed cycle as transmitting-side device 20 and controls the frequency of operating clock g so that the cycle generated and the reception frequency of data reception timing signal f will match.

[0029]

Data processing unit 33 reads data from received data buffer 32 in accordance with operating clock g applied from receiving-side operating clock control circuit 35. In this way, with the second embodiment, due to the receiving-side operating clock control circuit 35 controlling the frequency of operating clock g that it generates in accordance with the detection interval of transmission start timing signal e generated by transmitting-side device 20, the frequency of the operating clock d of transmitting-side device 20 and the frequency of the operating clock g of receiving-side device 30 will match, and data overflow or underflow will not occur in received data buffer 32.

[0030]

Figure 4 is a timing chart that explains the operation of the data transmission devices with the configuration described above. Figure 4 (a) shows the transmission start timing signal e generated by transmission operation timing generating circuit 23 of transmitting-side device 20, Figure 4 (b) shows the transmission path data DD, and Figure 4 (c) shows the data reception timing signal f output by received data buffer 32.

[0031]

As stated above, transmission start timing signal e of transmitting-side device 20 is generated with reference to operating clock d output from transmitting-side operating clock generating circuit 22, and data (transmission path data DD) are output to transmission path 29 by transmitting-side device 20 each time transmission start timing signal e is generated (refer to Figures 4(a), (b)).

[0032]

The receiving-side device 30 monitors the transmission path data DD sent from transmission path 29 and when transmission path data DD are received in received data buffer 32 from transmission path 29, received data buffer 32 detects the timing of the beginning of the data and notifies receiving-side operating clock control circuit 35 with data reception timing signal f (refer to Figure 4 (c)). Receiving-side operating clock control circuit 35 recognizes that there is a mismatch between the frequencies of operating clock d of transmitting-side device 20 and operating clock g of receiving-side device 30 when there is a mismatch in the timing between the notification timing with data reception timing signal f and operating clock g that it [control circuit 35] generates, and controls the frequency of operating clock g so that the mismatch is eliminated. Because of this, the cycle of operating clock d of transmitting-side device 20 and the cycle of operating clock g of receiving-side device 30 will match, the speed at which data are transmitted to receiving-side device 30 from transmitting-side device 20 and the speed at which data are read from received data buffer 32 in receiving-side device 30 will match for all processing events, and no data overflow or underflow will occur in received data buffer 32.

[0033]

Next, Figure 5 is a block diagram showing the system configuration of the data transmission devices in a third embodiment of the present invention. Transmitting-side device 40 is provided with a transmission data buffer and timing data insertion circuit 41, a transmitting-side operating clock generating circuit 42, and a timing data insertion timing generating circuit 43.

[0034]

Transmitting-side device 40 operates with reference to an operating clock i generated by transmitting-side operating clock generating circuit 42. Transmitting-side operating clock generating circuit 42 outputs the operating clock i that it generates to transmission data buffer and timing data insertion circuit 41 and timing data insertion timing generating circuit 43.

[0035]

Timing data insertion timing generating circuit 43 divides operating clock i at a fixed cycle and generates a timing data insertion timing signal j, which is applied to transmission data buffer and timing data insertion circuit 41. That is, timing data insertion timing signal j is synchronized to operating clock i.

[0036]

Transmission data buffer and timing data insertion circuit 41 transmits data held internally to a receiving-side device 50 over a not-shown communication interface and a transmission path 49. Transmission data buffer and timing data insertion circuit 41 inserts timing data into the data output to transmission path 49 when timing data insertion timing signal j is received during the transmission operation. Here, for the sake of convenience, the data output to transmission path 49 will be called transmission path data DD3.

[0037]

Receiving device 50 is provided with a timing data extracting/removing circuit 51, a received data buffer 52, a data processing unit 53, and a receiving-side operating clock control circuit 54.

[0038]

Timing data extracting/removing circuit 51 notifies receiving-side operating clock control circuit 54 with an extraction timing signal k each time timing data are detected in transmission path data DD3 received over transmission path 49.

[0039]

Receiving-side operating clock control circuit 54 recognizes mismatches between the frequency of operating clock i of transmitting-side device 40 and the frequency of operating clock m that it itself generates from the reception interval of extraction timing signal k, and controls the frequency of operating clock m. That is, the reception cycle of extraction timing signal k will match the output cycle of timing data insertion timing signal j, so receiving-side operating clock control circuit 54 controls the frequency of operating clock m so that the cycle at which operating clock m that it generates is divided at the same constant cycle as transmitting-side device 40, matching the reception cycle of extraction timing signal k.



[0040]

Timing data extracting/removing circuit 51 removes timing data from transmission path data DD3 that are received and stores or accumulates the data in received data buffer 52. Data processing unit 53 operates with operating clock m, the frequency of which is controlled by receiving-side operating clock control circuit 54, and reads data from received data buffer 52 in accordance with operating clock m.

[0041]

In this way, with the third embodiment, receiving-side operating clock control circuit 54 provides control so that the cycle of operating clock i of transmitting-side device 40 and the cycle of operating clock m of receiving-side device 50 will match, in accordance with the detection interval of timing data inserted at a constant cycle by transmission data buffer and timing data insertion circuit 41 or transmitting-side device 40 based on operating clock i of transmitting-side device 40. Thus, the speed at which data are input to transmission data buffer and timing data insertion circuit 41 of transmitting-side device 40 and the speed at which data are read from received data buffer 52 in receiving-side device 50 will match, and no data overflow or underflow will occur in received data buffer 52.

[0042]

Figure 6 is a timing chart that explains the operation of the third embodiment with the configuration described above. Figure 6 (a) is timing data insertion timing signal j output by timing data insertion timing generating circuit 43 of receiving-side device 50, Figure 6 (b) is transmission path data DD3, and Figure 6 (c) is extraction timing signal k output by timing data extracting/removing circuit 51.

[0043]

At transmitting-side device 40, transmission data buffer and timing data insertion circuit 41 inserts timing data into transmission data Ds3 each time timing data insertion timing signal j is applied from timing data insertion timing generating circuit 43 during the transmission operation. Transmission data Ds3 into which the timing data have been inserted become transmission path data DD3 and are sent to receiving-side device 50 through transmission path data DD3 (refer to Figures 6 (a), (b)).

[0044]

At receiving-side device 50, timing data extracting/removing circuit 51 detects [sic; extracts] the timing data from transmission path data DD3 received through transmission path data

DD3, and outputs extraction timing signal k to receiving-side operating clock control circuit 54 at the time of said detection (refer to Figure 6 (c)). Receiving-side operating clock control circuit 54 recognizes that there is a mismatch between the frequency of operating clock i of transmitting-side device 40 and the frequency of operating clock m of receiving-side device 50 when there is a mismatch between the reception timing of extraction timing signal k and the generating cycle based on operating clock m that it [control circuit 54] generates, and it controls the frequency of operating clock m so that the mismatch is eliminated. Because of this, the speed at which data are input to transmission data buffer and timing data insertion circuit 41 of transmitting-side device 40 and the speed at which data are read from received data buffer 52 in receiving-side device 50 will match, and no overflow or underflow occurs in received data buffer 52.

[0045]

#### Effects of the invention

As explained above, with the present invention, it is possible to achieve synchronization the operating clocks of both a transmitting-side device and a receiving-side device, even when no data synchronization clock is transmitted between the transmitting-side device and the receiving-side device. In this way, the number of lines that must be established to connect the two devices can be reduced, and the costs of the data transmission device system can be reduced.

#### Brief description of the figures

Figure 1 is a block diagram showing the system configuration for the receiving-side device of data transmission devices in a first embodiment of the present invention.

Figure 2 is a timing chart that explained the operation of the first embodiment above.

Figure 3 is a block diagram that shows the system configuration of the data transmission devices in a second embodiment of the present invention.

Figure 4 is a timing chart that explains the operation of the second embodiment above.

Figure 5 is a block diagram that shows the system configuration of the data transmission devices in a third embodiment of the present invention.

Figure 6 is a timing chart that explains the operation of the third embodiment above.

#### Explanation of symbols

- 10     Receiving-side device
- 11     Data transmission wireless unit
- 12     Received data buffer
- 13     Data processing unit
- 14     Operating clock control circuit

- 20 Transmitting-side device
- 21 Transmission data buffer
- 22 Transmitting-side operating clock generating circuit
- 23 Transmitting-side timing generating circuit
- 29 Transmission path
- 30 Receiving-side device
- 32 Received data buffer
- 33 Data processing unit
- 35 Receiving-side operating clock control circuit
- 40 Transmitting-side device
- 41 Timing data insertion circuit
- 42 Transmitting-side operating clock generating circuit
- 43 Timing data insertion timing generating circuit
- 49 Transmission path
- 50 Receiving-side device
- 51 Timing data extracting/removing circuit
- 52 Received data buffer
- 53 Data processing unit
- 54 Receiving-side operating clock control circuit

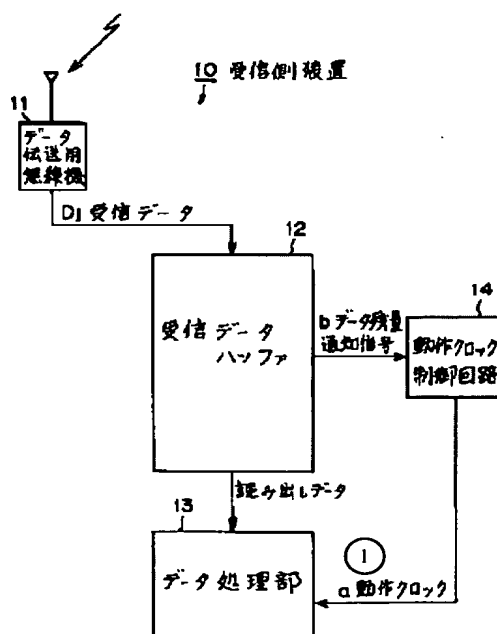


Figure 1. Block diagram showing the system configuration for the receiving-side device of the data transmission devices in a first embodiment of the present invention

- Key: a      Operating clock  
 b      Quantity-of-data-remaining notification signal  
 Dj      Received data  
 1      Read data  
 10      Receiving-side device  
 11      Data transmission wireless unit  
 12      Received data buffer  
 13      Data processing unit  
 14      Operating clock control circuit

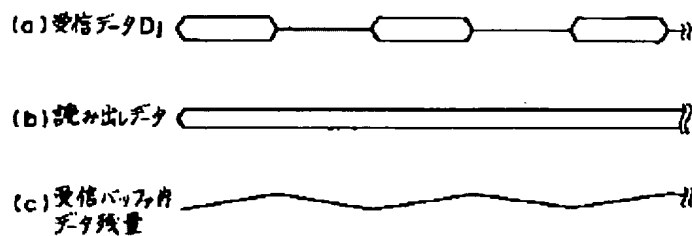


Figure 2. Timing chart explaining the operation of the first embodiment

- Key: (a)      Received data Dj  
 (b)      Read data  
 (c)      Quantity of data remaining in receive buffer

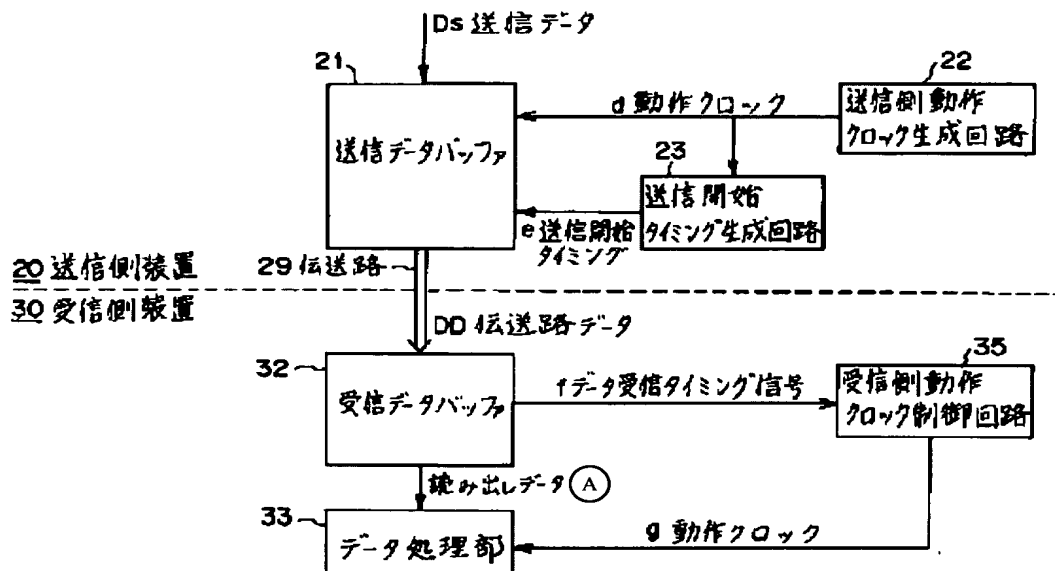


Figure 3. Block diagram showing the system configuration of the data transmission devices in a second embodiment of the present invention

Key:	A	Read data
	d	Operating clock
	DD	Transmission path data
	Ds	Transmission data
	e	Transmission start timing
	f	Data reception timing signal
	g	Operating clock
	20	Transmitting-side device
	21	Received data buffer
	22	Transmitting-side operating clock generating circuit
	23	Transmission start timing generating circuit
	29	Transmission path
	30	Receiving-side device
	32	Received data buffer
	33	Data processing unit
	35	Receiving-side operating clock control circuit

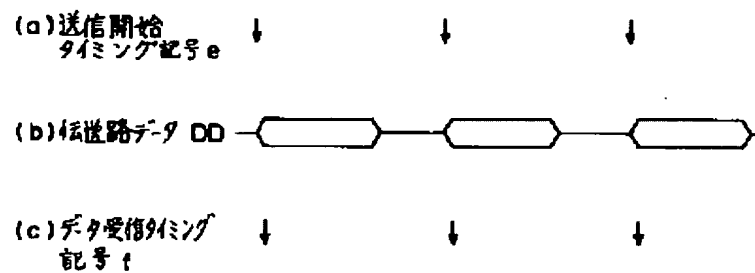


Figure 4. Timing chart explaining the operation of the second embodiment

Key:	(a)	Transmission start timing signal e
	(b)	Transmission path data DD
	(c)	Data reception timing signal f

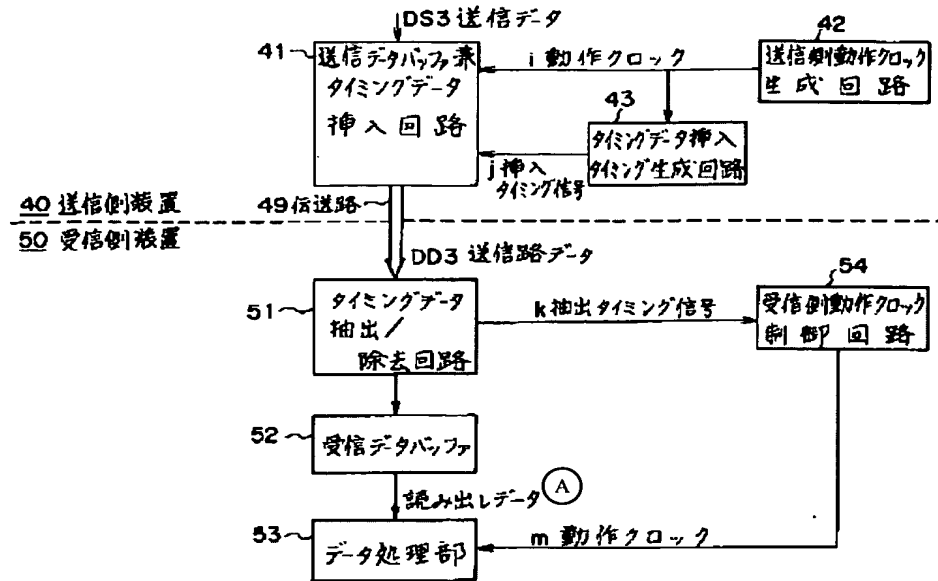


Figure 5. Block diagram showing the system configuration of the data transmission devices in a third embodiment of the present invention

Key:	A	Read data
	DS3	Transmission data
	i	Operating clock
	j	Insertion timing signal
	k	Extraction timing signal
	m	Operating clock
	40	Transmitting-side device
	41	Transmission data buffer and timing data insertion circuit
	42	Transmitting-side operating clock generating circuit
	43	Timing data insertion timing generating circuit
	50	Receiving-side device
	51	Timing data extracting/removing circuit
	52	Received data buffer
	53	Data processing unit
	54	Receiving-side operating clock control circuit

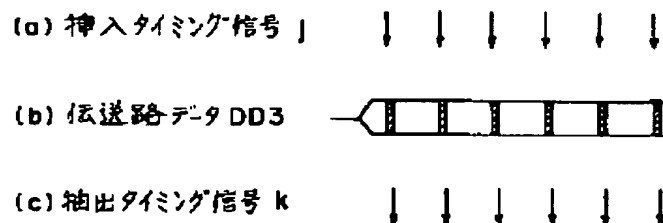


Figure 6. Timing chart explaining the operation of the third embodiment

- Key: (a) Insertion timing signal j  
(b) Transmission path data DD3  
(c) Extraction timing signal k